

KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000072961

(43) Publication Date. 20001205

(21) Application No.1019990015932

(22) Application Date. 19990503

(51) IPC Code:

H03M 1/66

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

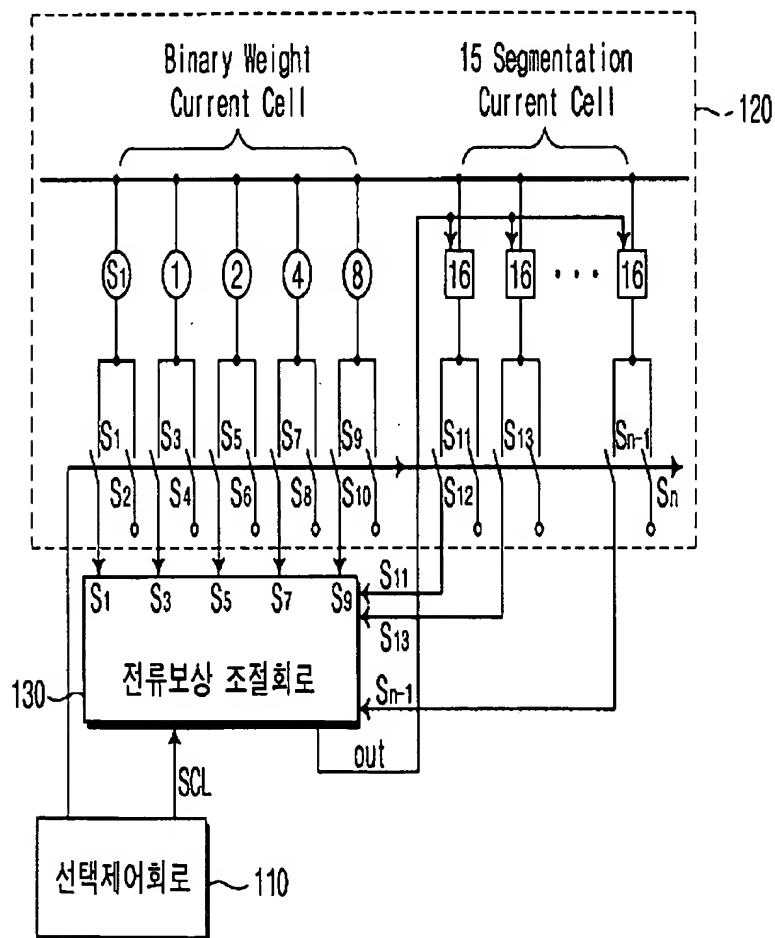
BAEK, SEUNG BEOM

(30) Priority:

(54) Title of Invention

CURRENT SEGMENT TYPE DIGITAL-ANALOG CONVERTER

Representative drawing



(57) Abstract:

PURPOSE: A digital-analog converter is provided which minimizes differential non-linearity error and integral non-linearity error.

CONSTITUTION: A current segment type digital-analog converter includes a decoder, a selection control circuit, a current source circuit and a current compensation control circuit. The selection control circuit(110) generates signals for selecting current sources according to the output signal of the decoder. A current cell array(120) is configured of LSB binary current cells, MSB segment current cells and switch pairs corresponding to the current cells. Odd-numbered switches (S1,S3,S5,S ,Sn-1) among the switch pairs are connected to the current compensation control circuit(130) in common. The current compensation control circuit measures current provided by the selected current cells to determine the amount of current to be compensated. The output of the current compensation circuit enters the segment current cells to compensate for current.

COPYRIGHT 2001 KIPO

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
H03M 1/66

(11) 공개번호 특2000-0072961
(43) 공개일자 2000년12월05일

(21) 출원번호 10-1999-0015932
(22) 출원일자 1999년05월03일
(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 백승범
경기도용인시수지읍풍덕천리663-1번지삼성4차아파트101동1102호
(74) 대리인 임창현

심사청구 : 없음

(54) 전류 세그먼트형 디지털-아날로그 변환기

요약

여기에 개시된 디지털-아날로그 변환기는 디지털 입력 신호를 받아들여 선택 신호들을 발생하는 선택 제어 회로, 복수 개의 바이너리 전류셀들과 세그먼트 전류셀들을 갖고, 상기 선택 신호들에 응답하여 상기 전류셀들을 선택하는 전류셀 어레이 그리고 상기 선택된 바이너리 전류셀들로 공급되는 전류합과 하나의 세그먼트 전류로부터 공급되는 전류의 차에 해당하는 아날로그 신호를 디지털 신호로 변환하여 상기 세그먼트 전류셀들을 보상하는 전류 보상 조절 회로를 포함한다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 전류 세그먼트형 D/A 변환기의 전류 보상 회로를 보여주는 회로도:
도 2는 종래 기술에 따른 연속 전류 보상 회로를 보여주는 블록도;
도 3은 본 발명에 따른 전류 세그먼트형 D/A 변환기를 보여주는 블록도;
도 4는 도 3의 전류 보상 회로의 회로도 및;
도 5는 도 4의 전류 보상 조절 회로의 구성을 보여주는 회로도이다.

도면의 주요 부분에 대한 부호의 설명

100 : 디코더 110 : 선택 제어 회로
120 : 전류셀 어레이 130 : 전류 보상 조절 회로
52 : 비교부 54 : A/D 변환부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지털/아날로그 변환기에 관한 것으로서, 더 구체적으로는 전류 세그먼트형 디지털/아날로그 변환기에 관한 것이다.

대부분의 비디오 신호 처리 장치는 고속 D/A 전류 세그먼트형 변환기(D/A current segment type converter)를 포함한다. 이러한 유형의 변환기는 스위치들에 각각 연결되는 복수개의 전류원들을 포함한다(도2 참조). 상기 스위치들은 디지털 신호의 디코딩 결과에 따라 선택적으로 턴온된다. 그러므로 전류-세그먼트형 D/A 변환기의 아날로그 출력값은 입력 디지털 신호의 용량이 한비트 증가할 때 하나의 전류원 출력 전류에 의해 증가한다.

상기 전류 세그먼트형 D/A 변환기는 해상도가 높아짐에 따라 DNL(differential non linearity error : 디지털 입력이 한 코드 변환 때, 출력되는 아날로그 신호가 1 LSB(least significant bit)에서 벗어나는 정도)과 INL(integral non linearity error : 이상적인 출력 신호로부터 실제 출력 신호가 벗어난 정도)를 갖게 된다. 상기 DNL, INL을 개선하기 위해 전류를 측정하여 전류를 보상하는 방법이 사용되고

있다.

도 1은 전류 보상 회로의 구성을 보여준다.

도 1을 참조하면, 단일 전류 보상 회로는 NMOS 트랜지스터들 (M1, M2)과 커패시터 (C), 다이오드 (D), 전류원들 (I_{ref} , I_m) 그리고 스위치 (S1)로 구성된다. 전류원 I_m 의 전류값은 I_{ref} 의 전류값에 가깝다. 보상 사이클 동안 스위치가 1 단자로 연결되면, 상기 I_{ref} 와 I_m 의 전류차 (I_{m1})가 NMOS 트랜지스터 (M1)에 저장된다. 이때 $I_m < I_{ref}$ 이다. 상기 NMOS 트랜지스터 (M1)에 저장되는 전류차 (I_{m1})는 약 $0.1 \sim 0.05 \cdot I_{ref}$ 가 된다. 이 시스템을 사용하면 작은 사이즈의 트랜지스터로도 전류 보상 회로 구현이 가능하다. 다음으로 스위치가 2 단자에 연결되면 출력 단자로 $I_{out} = I_m + I_{m1}$ 이 흐르게 된다. 그러므로 전류원으로부터 공급되는 전류를 손실없이 그대로 전달할 수 있다.

도 2는 D/A 변환기의 연속적인 전류 보상 회로의 구성을 보여준다.

도 2를 참조하면, 전류 보상 회로는 쉬프트 레지스터 (10)와 복수개의 스위치들(미도시됨)로 구성되는 전류원 선택 회로 (20) 그리고 복수개의 전류 셀들 (C1, C2, Cn, SC)로 구성된다. 상기 쉬프트 레지스터 (10)는 상기 스위치들을 온오프시키기 위한 선택 신호들을 출력한다. 상기 전류 셀들 (C1, C2, Cn, SC)은 상기 스위치들과 각각 대응되고 상기 선택 신호에 의해 온오프되는 스위치들을 거쳐 출력 단자로 전류를 공급한다.

상기 전류 측정은 단위 전류원들만을 보상하기 때문에 LSB의 DNL, INL만 개선되고 MSB(most significant bit)에서는 DNL, INL 에러가 줄어들지 않게 된다. 일반적으로 전류 세그먼트형 D/A 변환기는 MSB에서 동일 전류원을 사용하고 LSB에서 바이너리 웨이트 전류셀들을 사용한다. 그러므로 상기 DNL, INL은 전류 세그먼트가 다음 세그먼트로 바뀔때 가장 심하게 발생하게 된다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로, DNL, INL의 발생을 최소화하는 D/A 변환기를 제공하는데 있다.

발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 디지털-아날로그 변환기는 디지털 입력 신호를 받아들여 선택 신호들을 발생하는 선택 제어 회로, 복수 개의 바이너리 전류셀들과 세그먼트 전류셀들을 갖고, 상기 선택 신호들에 응답하여 상기 전류셀들을 선택하는 전류셀 어레이 그리고 상기 선택된 바이너리 전류셀들로 공급되는 전류합과 하나의 세그먼트 전류로부터 공급되는 전류의 차에 해당하는 아날로그 신호를 디지털 신호로 변환하여 상기 세그먼트 전류셀들을 보상하는 전류 보상 조절 회로를 포함한다. 상기 전류 보상 조절 회로는 상기 선택된 바이너리 전류셀들로 공급되는 전류의 합과 상기 하나의 세그먼트 전류로부터 공급되는 전류를 비교하는 비교부, 상기 비교부의 출력을 디지털로 변환하는 아날로그-디지털 변환부, 상기 아날로그-디지털 변환부의 출력을 저장하는 저장부를 포함한다.

(작용)

본 발명에 따르면, 전류 보상 전류 회로는 바이너리 전류셀들과 세그먼트 전류셀들의 전류를 비교한 결과로서 MSB 전류셀들을 보상한다.

(실시예)

이하 본 발명에 따른 실시예를 첨부된 도면 도 3내지 도 5를 참조하여 상세히 설명한다.

도 3은 전류 세그먼트형 D/A 변환기의 구성을 개략적으로 보여주는 블록도이다.

도 3을 참조하면, 전류 세그먼트형 D/A 변환기는 디코더 (100), 선택 제어 회로 (110), 전류원 회로 (120) 및 전류 보상 조절 회로 (130)로 구성된다. 상기 디코더 (100)는 입력 디지털 신호 (D_{in})를 디코딩하여 출력한다.

도 4는 본 발명의 실시예에 따른 전류 세그먼트형 D/A 변환기의 구성을 보여준다.

도 4를 참조하면, 상기 선택 제어 회로 (110)는 상기 디코더 (100)의 출력 신호에 따라 상기 전류원을 선택하기 위한 신호들을 출력한다. 상기 전류셀 어레이 (120)는 LSB의 바이너리 전류 셀들 (S1, 1, 2, 4, 8)과 MSB의 세그먼트 전류셀들 (16, ..., 16) 그리고 상기 전류셀들에 각각 대응되는 스위치 쌍들로 구성된다. 상기 스위치쌍들중 홀수 번째 스위치들 (S1, S3, S5, S9, S_{n-1})은 전류 보상 조절 회로 (130)에 공통으로 연결된다. 그리고 상기 전류 보상 조절 회로 (130)는 선택된 전류셀들로부터 공급되는 전류를 측정하여 얼마만큼의 전류를 보상할 것인지 결정한다. 상기 전류 보상 회로의 출력은 세그먼트 전류셀들에 입력되어 전류를 보상하게 된다.

본 발명에서는 8비트 D/A 변환기에서 사용되는 전류원은 1, 2, 4, 8 바이너리 웨이트(binary weight) 전류원과 16, ..., 16 세그먼트(segment) 전류원에 한해 설명한다. 예를 들어, 디지털 입력 코드가 00001111 (= 0F)이 되면 1+2+4+8에 의해 0F의 레벨이 출력된다. 상기 디지털 입력 코드에 대한 아날로그 레벨이 출력될때, 상기 바이너리 웨이트 전류원들은 온되어 있고, 세그먼트 전류원들을 오프 상태로 유지된다. 상기 디지털 입력 코드에서 1코드가 증가한 디지털이 입력되면 바이너리 웨이트 전류원들은 온되었고 첫번째 16 세그먼트가 온된다. 그리고 상기 첫번째 16 세그먼트를 제외한 나머지 16 세그먼트 전류원들은 오프 상태로 유지된다. 상기 디지털 입력 코드가 00001111에서 000100로 바뀔 때 1코드 증가분 만큼 즉, 1LSB 만큼의 출력이 얻어져야 한다. 그러나, 바이너리 웨이트 전류원들의 전류합과 세그먼트 전류원이 동일하지 않게 되면 DNL, INL 에러가 증가하게 된다.

상기 바이너리 웨이트 전류원의 합과 16 세그먼트 전류원을 동일하게 하기 위해 여분의 전류원 (S1)을

추가한다. 그런 다음 전류 보상 조절 회로 (130)를 통해 바이너리 웨이트 전류원과 16 세그먼트 전류원을 비교하여 DNL, INL의 발생을 최소화시킨다.

도 5는 본 발명에 따른 전류 보상 조절 회로를 보여주고 있다.

도 5를 참조하면, 전류 보상 조절 회로는 연산 증폭기 (52), A/D 변환기 (54) 및 레지스터 (56)로 구성된다.

상기 연산 증폭기 (52)의 반전 입력단은 저항 (R1)을 통해 바이너리 웨이트 전류셀들 (S1, 1, 2, 4, 8)에 대응되는 스위치쌍들중 홀수 번째 스위치들 (S1, S3, S5, S7, S9)이 공통으로 연결된다. 상기 연산 증폭기 (52)의 비반전 입력단은 저항 (R3)을 통해 세그먼트 전류셀들 (16, ..., 16)에 대응되는 스위치 쌍들중 홀수 번째 스위치들 (S11, S13, S_{n-1})이 공통으로 연결된다. 그리고 상기 연산 증폭기 (52)의 반전 입력단과 출력단 사이에 저항 (R2)이 연결되고, 비반전 입력단과 접지사이에 저항 (R4)이 연결된다. A/D 변환기 (54)는 상기 스위치들을 통해 선택된 바이너리 전류셀들로부터 공급되는 전류의 합과 세그먼트 전류셀로부터 공급되는 전류의 차를 디지털 코드로 한다. 상기 A/D 변환기의 출력은 MSB 전류원(세그먼트 전류셀들)에 해당하는 레지스터들 (56)에 저장된다. 상기 레지스터 (56)에 저장된 데이터는 MSB 전류원을 보상한다.

이하 본 발명에 따른 전류 보상 회로를 갖는 D/A 변환기를 도 4 및 도 5에 의거하여 상세히 설명한다.

도 4에서, CMOS 전류원을 구현할 때 동일한 V_{gs} 전압이 걸리고 트랜지스터의 사이즈(width/length)가 동일하면 I_{ds}도 동일하다. 트랜지스터의 I_{ds}는 다음과 같은 수학적식으로 나타난다.

$$I_{ds} = \left[\frac{(u_0 * C_{ox} * width)}{(2 * length)} \right] * [(V_{gs} - V_{th})^2 * (1 + \lambda * V_{ds})]$$

상기 수학적식에서, u₀(mobility), C_{ox}(oxide cap) 및 트랜지스터의 폭과 길이가 동일하고, 동일한 V_{gs}가 인가될때 이웃하는 드레슬드 전압은 같은 공정에서 동일하다고 가정하면, λ가 아주 작을 경우 동일한 전류 I_{ds}가 흐르게 된다.

그러므로 일정한 기준 전류 (I_{ref})를 만들어 V_{gs}를 같은 노드에 연결하면, 트랜지스터의 사이즈 조절만으로 기준 전류의 배수에 해당하는 전류를 만들어 낼 수 있다.

예를 들어, 기준 전류 트랜지스터를 8배로 하여 80μA를 흘려준다. 이때, 기준이 되는 8배 트랜지스터의 1/2배를 하면 40μA가 흐르는 4배 트랜지스터가 형성된다. 그리고 기준 트랜지스터의 1/4인 2배 트랜지스터에는 20μA가 흐르고, 기준 트랜지스터의 1/8인 1배 트랜지스터에는 10μA의 전류가 흐르므로 바이너리 웨이트 전류원을 만들 수 있다.

그리고 16배 세그먼트 전류원은 8배 기준 트랜지스터에 대해 2배로 사이즈는 증가시키면 160μA의 전류가 흐르게 한다.

도 4 및 도 5를 참조하면, 선택 제어 회로 (110)의 출력에 의해 전류 측정 모드가 시작되어 스위치 S1, S3, S5, S7, S9가 스위칭온된다. 상기 스위치들 (S1, S3, S5, S7, S9)에 의해 16배 바이너리 전류원이 만들어지고, 저항 R1과 연결된다. 그리고 세그먼트 전류원들중 S11이 스위칭온되어 R3과 연결된다. 나머지 세그먼트 전류원들 (segment current sources)은 오프 상태로 유지된다. 이때, 전류 측정 모드에서 짝수 번째 스위치들 (S2, S4, S6, ...)은 모두 오프된다. 그리고 D/A 변환기의 출력은 짝수 번째 스위치들을 통해 출력되며, 홀수 스위치들은 전류 측정 모드에서 사용된다.

상기 스위치들의 온오프에 의해 입력되는 전류들은 OP amp를 통해 바이너리 웨이트 전류원인 1, 1, 2, 4, 8을 모두 더한 16배 전류원과 세그먼트 한개의 16배 전류원을 비교할 수 있다. 상기 전류원의 차이가 D/A 변환기의 DNL, INL 에러로 나타나게 된다. 그러므로 D/A 변환기의 정확도를 높이기 위해 각 세그먼트 전류원의 크기를 스페어 전류셀(S1) 및 바이너리 웨이트 전류원 (1, 2, 4, 8)의 합과 비교하면, A/D 변환기를 통과한 결과 즉, 상기 전류의 차이를 디지털 코드로화할 수 있다. 예를 들어 첫번째 세그먼트 전류원과 바이너리 웨이트 전류원의 합을 비교하여, 세그먼트 전류원이 더 크다면(약 0.5LSB ~ 1.5LSB) 첫번째 세그먼트 전류원에서 차이가 나는 전류 양만큼 빼낸다. 상기와 같이 전류를 빼내거나 더해주는 보상은 16 세그먼트 전류원에서 보상해주고 싶은 만큼의 전류원 크기에서 더해주거나 빼내는 방식을 사용한다. 또, A/D 변환기가 2 비트 A/D 변환기라면 출력은 22개가 되므로 0.5배 전류원을 사용하여(기준 16배) ±0.1LSB까지 보상이 가능하다. 이는 각 MSB 전류원(세그먼트 전류원)에 해당하는 레지스터에 데이터를 저장하여 각 MSB 전류원으로 보상해준다.

상술한 바와 같이 16배 세그먼트 전류원을 사용하여 15개까지 전류 보상이 완료되면 보정된 데이터는 레지스터에 저장된다. 그런후, 전류 측정 모드에서 빠져 나와 정상적인 D/A 변환 모드로 가더라도 보정된 전류원을 사용하여 정확한 D/A 변환기를 구현할 수 있다.

발명의 효과

본 발명에 따르면, 바이너리 전류셀과 세그먼트 전류셀로부터 공급되는 전류의 차를 비교한 결과로 세그먼트 전류셀을 보상함으로써 전류 세그먼트에서 다음 세그먼트로 바뀌더라도 DNL, INL 에러를 MSB 전류원의 보상으로 최소화할 수 있다.

(57) 청구의 범위

청구항 1

디지털 입력 신호를 받아들여 선택 신호들을 발생하는 선택 제어 회로와;

복수 개의 바이너리 전류셀들과 세그먼트 전류셀들을 갖고, 상기 선택 신호들에 응답하여 상기 전류셀들을 선택하는 전류셀 어레이 및;

상기 선택된 바이너리 전류셀들로 공급되는 전류합과 하나의 세그먼트 전류로부터 공급되는 전류의 차에 해당하는 아날로그 신호를 디지털 신호로 변환하여 상기 세그먼트 전류셀들을 보상하는 전류 보상 조절 회로를 포함하되,

상기 전류 보상 조절 회로는

상기 선택된 바이너리 전류셀들로 공급되는 전류의 합과 상기 하나의 세그먼트 전류로부터 공급되는 전류를 비교하는 비교부와;

상기 비교부의 출력을 디지털로 변환하는 아날로그-디지털 변환부 및;

상기 아날로그-디지털 변환부의 출력을 저장하는 저장부를 포함하는 디지털-아날로그 변환기.

청구항 2

제 1 항에 있어서,

상기 전류 셀 어레이는

상기 바이너리 전류 셀들과 각각 연결되는 제 1 스위치 그룹 및;

상기 세그먼트 전류셀들과 각각 연결되는 제 2 스위치 그룹을 더 포함하는 디지털-아날로그 변환기.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 비교부는

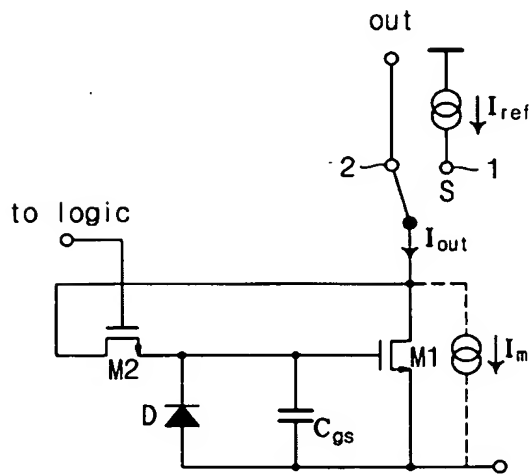
상기 제 1 스위치 그룹에 공통으로 연결되는 제 1 입력 단자;

상기 제 2 스위치 그룹에 공통으로 연결되는 제 2 입력 단자 및;

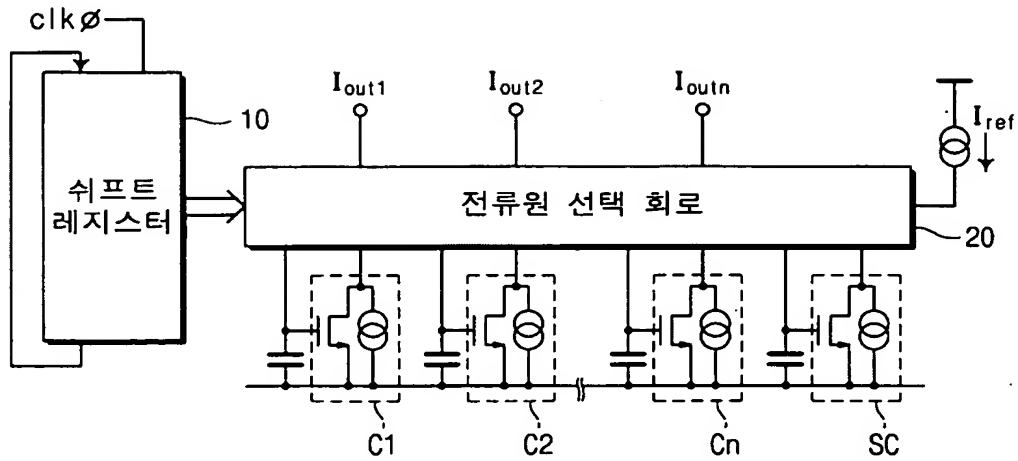
상기 바이너리 전류셀들의 전류합과 세그먼트 전류셀로부터 공급되는 전류의 비교 결과를 출력하는 출력 단자를 갖는 디지털-아날로그 변환기.

도면

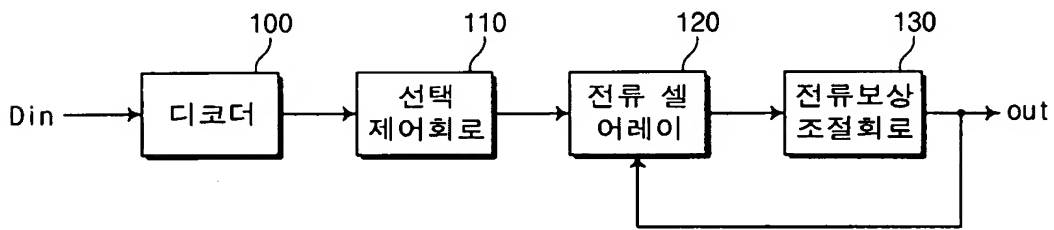
도면1



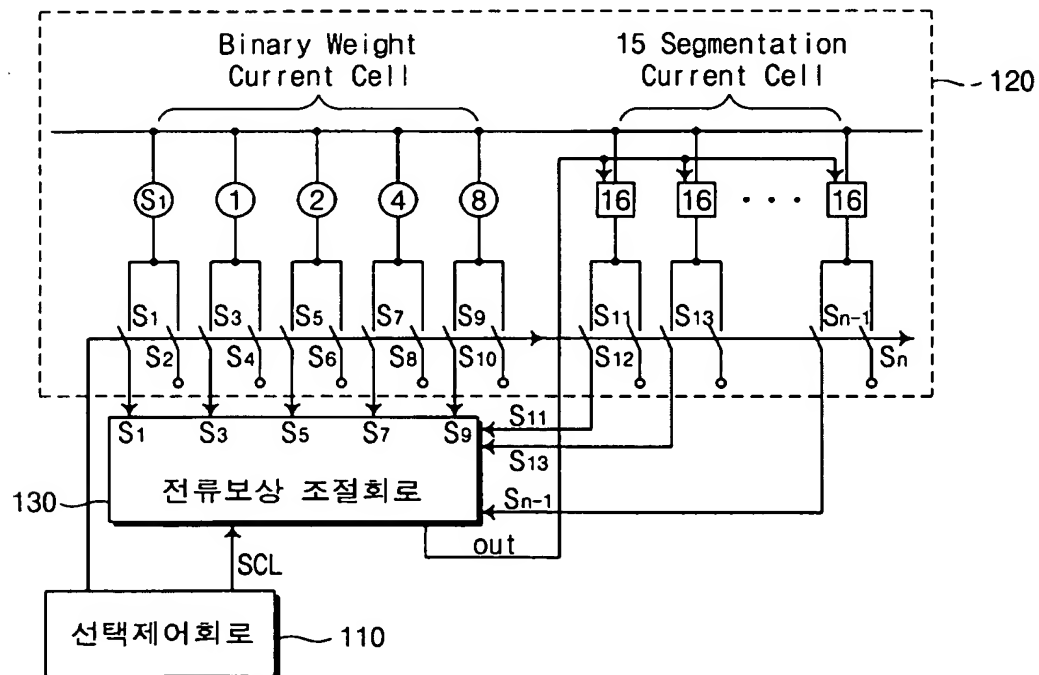
도면2



도면3



도면4



도면5

130

